

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-3290

(43)公開日 平成11年(1999)1月6日

(51)Int.Cl.⁶
G 0 6 F 12/16

識別記号
3 1 0
3 2 0

F I
G 0 6 F 12/16

3 1 0 R
3 2 0 M

審査請求 未請求 請求項の数2 OL (全3頁)

(21)出願番号 特願平9-153308

(22)出願日 平成9年(1997)6月11日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 加藤 充博

愛知県尾張旭市晴丘町池上1番地株式会社

日立製作所情報機器事業部内

(72)発明者 森山 隆志

愛知県尾張旭市晴丘町池上1番地株式会社

日立製作所情報機器事業部内

(72)発明者 久田 義明

愛知県尾張旭市晴丘町池上1番地株式会社

日立製作所情報機器事業部内

(74)代理人 弁理士 小川 勝男

(54)【発明の名称】 メモリ制御方式

(57)【要約】

【課題】メモリにおいて、1ビットエラーが生じても、1ビットエラーの発生した部位を含むメモリの一定単位内にあるデータを他の記憶領域に退避させ、エラーの発生したメモリの一定単位領域を無効にすることで、システムのフォルト・トレランスを向上させ、信頼性を向上させる。

【解決手段】メモリで1ビットエラーが発生した場合、OSによりエラーの発生を検知し、エラーの発生した部位を含むメモリ内の一定単位の全内容を他のメモリ内の領域、あるいは補助記憶装置に退避させ、かつエラーの発生した部位を含むメモリ内の一定単位を無効にする機能をOSに備える。

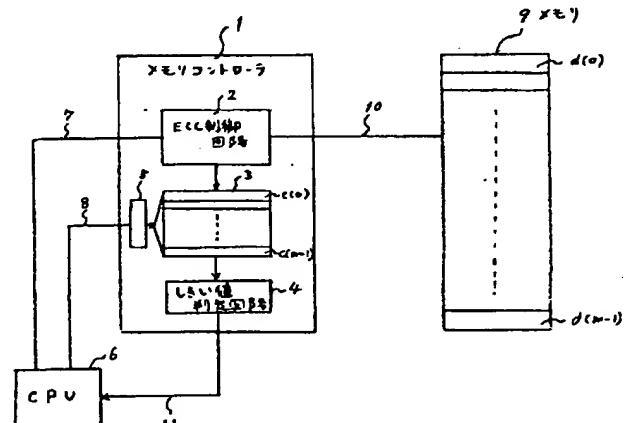


図1

【特許請求の範囲】

【請求項1】メモリと、ECC制御機能付きメモリコントローラを有するシステムにおいて、ある一定単位のメモリ領域において発生した1ビットエラーを数える機能と、上記エラー数があるしきい値を越えたことを判定し、しきい値を越えた場合OSに知らせる機能と、上記OSに、1ビットエラーが発生した場合、該エラーーアドレスを取得し、さらに該エラーーアドレスを含む一定のメモリ領域の全内容を、メモリの他の空き領域にコピーし、コピーが終了したら、当該単位メモリは未使用とする機能を追加したことを特徴とするメモリ制御方式。

【請求項2】請求項1において、エラーーアドレスを含むある一定単位メモリの全内容をコピーする先の記憶領域に、メモリの空き領域の代わりに補助記憶装置を使うことを特徴とするメモリ制御方式。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリ装置に関し、特に、あらゆるコンピュータシステムのメモリに関するフォルト・トレランス及び信頼性の向上に関する。

【0002】

【従来の技術】従来技術としては、特開平8-153045号公報に記載されているように、エラーメモリの全内容を予備メモリにコピーし、コピーが終了すると、メモリ切り替え制御部がエラーメモリに対するアクセスを予備メモリへのアクセスに切り替える技術が存在する。しかし、上記技術では、エラーメモリの全内容を移すに十分な予備メモリを付加する必要があり、コスト的に高価なものとなり、また実装エリアを考慮する必要がある。

【0003】

【発明が解決しようとする課題】いま、メモリへの書き込み又はメモリからの読み出しを2ビットエラー検出、1ビットエラー訂正可能なECCエラーチェックコードを用いて行うシステムを想定する。このシステムのメモリにおいて、あるメモリ素子(1ビット)が破壊された場合、そのメモリ素子をアクセスする時、常にECC1ビットエラーとなり、これを訂正するための時間がアクセス毎に必要になり、システムの性能低下に直結するという問題点がある。

【0004】また、すでに破壊されているメモリ素子(1ビット)が存在するアドレスのデータエリアにおいて、もう1つのメモリ素子(1ビット)が破壊された場合、ECC2ビットエラーとなり、システムダウンとなる問題点がある。

【0005】本発明は、上記した従来技術の問題点に鑑み成されたもので、メモリに1ビットエラーが生じても、エラーーアドレスを含むメモリの一定単位の全内容をメモリ内の他の部位の空き領域、または補助記憶装置にコピーし、エラーーアドレスを含むメモリ一定単位へのア

クセスを退避先のアクセスに切り替えることにより、システムの性能低下に至らないように、システムのフォルト・トレランスを向上させ、信頼性を向上させたメモリ装置を提供することを目的としている。

【0006】

【課題を解決するための手段】本発明のメモリ装置は、メモリと、メモリ部の制御装置とを備えて構成されているメモリ装置に適用されるものであり、ある一定単位のメモリにエラーが発生した時にOSがエラーの発生したメモリの部位(アドレス)を特定でき、当該メモリ領域での障害検出回数がしきい値を越えると、エラーの生じた部位(アドレス)を含む当該メモリ領域の全内容を、メモリの空き領域、または補助記憶装置にコピーし、当該メモリ領域を未使用にする機能をOSが備えていることを特徴としている。

【0007】

【発明の実施の形態】以下、添付の図面に示す実施例について説明する。

【0008】図1は、本発明の実施例を示すブロック図である。図1において、1はメモリコントローラである。2はECC制御回路であり、ECCチェック、訂正、コード生成を司る。3はカウンタ部であり、後述する分割されたメモリ領域各々に対応して、そこで発生した1ビットエラーの回数を計数するm個のカウンタc(0)～c(m-1)により構成される。4はしきい値判定回路であり、カウンタ部3で計数されたエラー数の何れかがしきい値を越えたときに、エラー信号をCPU6に通知する。5はアドレスレジスタであり、アドレスバス8の情報を保持する。7はデータバスであり、ECCコードを含んでも含まなくても良い。9はメモリ部であり、m個のある一定単位のモジュールd(0)～d(m-1)から構成されている。10はメモリデータバスであり、ECCコードを含んでいる。

【0009】以下に、図1に示す実施例の動作について説明する。

【0010】まず、メモリ部9からデータを読み出す場合を考える。CPU6からアクセスアドレスがアドレスバス8を通じて、メモリコントローラに伝達される。メモリコントローラは、上記アドレスに対応したメモリモジュールd(n)からデータを読み出し、該メモリデータバス10を通じてメモリコントローラ1に入力される。そして、ECC制御回路2のECC制御部でチェックされる。もし、このとき、1ビットエラーがあれば、該当メモリモジュールd(n)に対応するカウンタc(n)を1だけ増加させ、しきい値判定回路4によりしきい値に到達したかを判定する。そして、この処理を繰り返し、ECC1ビットエラーカウンタcが予め定められたしきい値を越えた場合には、メモリモジュールd(n)に不良があると判定し、判定回路4はエラー信号11を有効にし、CPU6にエラーを通知する。ECC

3

制御回路2はエラーの発生したアドレスの情報をOSに報告し、OSはこれを受けて、以下の手順でエラーを含むメモリ領域を無効化する。

- 【0011】(1) エラー伝達
- (2) エラー要因解析 (ECC 1ビットエラー)
- (3) アドレス取得
- (4) 空き領域判定
- (5) データコピー
- (6) エラー発生領域無効化

なお、OSがECC 1ビットエラーを検知する方法には、ハードウェアが前述のようにOSに割り込みを上げる方法の他に、OSが定期的にポーリングして、エラーを検知する方法などがある。

【0012】さらに、メモリ以外に補助記憶装置を備えて、これらをデータの退避先領域とすることもできる。

【0013】また、メモリの分割単位には言及しない。すなわち、DIMM (S I MM) 単位でも良いとし、これよりも大きくしても、小さくても構わない。

4

* 【0014】

【発明の効果】本発明によれば、メモリ部においてあるメモリ領域に1ビットエラーが生じても、システムの性能低下に至らないように、システムの�ルト・トレランスを向上させることができ、信頼性向上に役立つという効果を有する。

【図面の簡単な説明】

【図1】図1は、本発明の一実施例を示すブロック図である。

10 【符号の説明】

1…メモリコントローラ、2…ECC制御回路、3…カウンタ部、4…しきい値判定回路、5…アドレスレジスタ、6…CPU、7…データバス、8…アドレスバス、9…メモリ部、10…メモリデータバス、11…エラー信号線、c(0)～c(m-1)…ECC 1ビットエラーカウンタ、d(0)～d(m-1)…メモリモジュール。

*

【図1】

